

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—86214

⑬ Int. Cl.³
H 01 L 21/205
// H 01 L 31/04

識別記号

庁内整理番号
7739—5 F
7021—5 F

⑭ 公開 昭和59年(1984) 5月18日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ アモルファス半導体の製造方法

⑯ 発明者 森正昭

刈谷市昭和町 1 丁目 1 番地日本
電装株式会社内

⑰ 特 願 昭57—196307

⑱ 出 願 昭57(1982)11月 9 日

⑲ 発明者 西沢俊明

⑳ 発明者 前川謙二

刈谷市昭和町 1 丁目 1 番地日本
電装株式会社内

刈谷市昭和町 1 丁目 1 番地日本
電装株式会社内

㉑ 出 願 人 日本電装株式会社

㉒ 発明者 竹内幸久

刈谷市昭和町 1 丁目 1 番地

刈谷市昭和町 1 丁目 1 番地日本
電装株式会社内

㉓ 代理人 弁理士 大川宏 外 2 名

明 細 書

1. 発明の名称

アモルファス半導体の製造方法

2. 特許請求の範囲

(1) 相対向する一対の電極を有し、該電極間に、
分解エネルギーの異なる少なくとも 2 種類のアモ
ルファス半導体生成ガスを流し、電極間に印加さ
れた電圧により、グロー放電させて該ガスをプラ
ズマ化し、加熱された基板上にアモルファス半導
体を生成する容量結合方式のプラズマ CVD によ
るアモルファス半導体の製造方法において、

前記 2 種類の生成ガスのうち、一方は、基板に
対向する電極に設けられた細孔より、基板に対し
均一に流し、

他方は、両電極に平行に順流させることを特徴
とするアモルファス半導体の製造方法。

(2) 前記基板に対向する電極に設けられた細孔
より導入するガスは、ドーパントガスであり、前
記両電極に平行に順流させるガスは、母材ガスで
あることを特徴とする特許請求の範囲第 1 項記載

のアモルファス半導体の製造方法。

3. 発明の詳細な説明

本発明はアモルファス半導体の製造方法に関す
る。

従来のアモルファス半導体、特にアモルファス
シリコンの製造方法を第 1 図に示す。第 1 図はい
わゆる容量結合型のプラズマ CVD 製造方法を示
したものである。第 1 図 (a) に示す容量結合型
のプラズマ CVD 装置による a-Si の製造方法
は、上部電極 12 と下部電極 13 との間にアモル
ファスシリコン生成ガスを導入し、両電極間に高
周波電力を印加して該電極間にグロー放電を起さ
せ、前記の半導体生成ガスをプラズマ化して、ヒ
ーター 14 によって加熱され、電極 13 上に設置
された基板上にアモルファスシリコンを成長させ
るものである。ここで母材ガス、例えばシラン
(SiH₄) とドーパントガス (PH₃ 又は B₂
H₆) 等の半導体生成ガスは、あらかじめ混合さ
れ上部流入口 11 から導入され、この混合ガスが
上部電極に設けた細孔から下部電極方向に一様に

送流されて、プラズマ放電を起させる様になっている。

本発明者等は、この製造方法によると、上部電極にも母材ガスであるシランガスによるアモルファスシリコンが成長し、これがガスフローのために、剥離して基板上に落下し、基板にピンホールを形成することを見出した。

一方、従来の他のプラズマCVD製造方法を第1図(b)に示す。この製造方法は、前記の両電極間12、13に平行に、一方のガス流入口18から同様に混合された半導体生成ガスを層流を成すように導入し、ガスをプラズマ化して下部電極13上に設けられた基板上にアモルファスシリコンを成長させるものである。

ところが基板の長手方向に沿って、混合ガスを流すために、シランガスが基板の長手方向に沿って一様にプラズマ化し、a-Si 薄膜を堆積させるような条件では、シランガスとドーパントガスの分解エネルギーの差異によって、ドーパントガスのプラズマ化による分解程度に分布が生じ、基

板の長手方向に沿ってドーパされた膜の性質に分布が生じる。このため、第1図(b)の製造方法には、ガス流入口付近において、ドーパ効率がよく、ガス流入口から遠ざかる端面は、ドーパ効率がわるいという欠点があることを、本発明者等は見出した。

即ち、第1図(b)に示す製造方法によって、P型水素化アモルファスシリコンを作成し、これの導電率及び活性化エネルギーを調べたところ第3図のような特性が得られた。この特性からガス導入口から基板上ガス流方向に計った距離に対して導電率が減少し、活性化エネルギーが増加していることがわかる。即ち、流入口付近に多く不純物がドーパされていることを示している。このような不均ドーパ特性を本発明者等は発見した。

そこで本発明の目的は、従来のこのような2つの製造方法の両欠点を改良するためになされたものである。

即ち、基板上にピンホールを作成させることのない均一なアモルファス半導体を得ること及び大

面積のアモルファス半導体を均一にドーパしたアモルファス半導体を得る製造方法を提供することを目的としている。

本発明は、相対向する一対の電極を有し、該電極間に、分解エネルギーの異なる少なくとも2種類のアモルファス半導体生成ガスを流し、電極間に印加された電圧により、グロー放電させて該ガスをプラズマ化し、加熱された基板上にアモルファス半導体を生成する容量結合方式のプラズマCVDによるアモルファス半導体の製造方法において、

前記2種類の生成ガスのうち一方は、基板に対向する電極に設けられた細孔より、基板に対し均一に流し、

他方は、両電極に平行に層流させることを特徴とするアモルファス半導体の製造方法から成る。

ここでアモルファス半導体とは、アモルファスシリコン(a-Si)、アモルファス炭化シリコン(a-SiC)及びアモルファス窒化シリコン(a-SiN)及び、これらの水素化物アモル

ファス半導体等である。半導体生成ガスとは、シラン(SiH_4)の単体又はシランとメタンの混合とから成る母材ガスと、ドーパントガス(B_2H_6 、 PH_3)混合ガス等の半導体生成のもととなるガスを言う。

そこで本発明は、成分比の小さなドーパントガスは上部電極に設けた細孔から流出させるようにしたものであり、成分比の大きな母材ガス、例えばシラン等は、電極間に平行に層流を成すように流すようにしたものである。このように両電極間に両ガスを流して混合し、プラズマ化してアモルファス半導体を成長させるものである。

本発明による製造方法では、上部電極側より導入されるドーパントガスは微小流量であるために、上部電極に堆積したシリコンを剥離させることがない。このため基板上に落下してピンホールを作成するという欠点が改良される。

一方、上部電極に設けた細孔から基板に対して均一にドーパントガスをチャンバー内に層流するために、基板上に均一にドーパされたアモル

ス半導体を得ることができる。特に0.1%以下のライトリードープの場合には、従来の電極間に横方向から導入する方式によると不均ードープが顕著に現れるために、本発明が有効である。

以下、実施例により上記の構成ならびに効果をさらにあきらかにする。

本発明のアモルファス半導体製造方法を実現するための製造装置を第2図に示す。本発明装置は、チャンバー29の両側面に設けられた母材ガス流入口22から排出口26へと母材ガスを送流する。チャンバー29の内部には、相対向する平板平行電極23及び24が設けられている。この一方の電極を構成する上部電極23は、平板上均一に細孔が設けられており、チャンバーの外に一部管状に突出したドーバントガス導入管21を有している。下部電極24は、チャンバー29を介して接地されており、該下部電極24の下端には、基板を加熱するヒーター25が装置されている。基板は、下部電極24上に配設される。一方、両電極間23、24には高周波電力を印加する高周波発生装置27を介して高周波電界が印加される。こ

のような構成の製造装置において、ドーバントガス導入管21よりB₂H₆より成るドーバントガスを導入し、母材ガスを導入する母材ガス流入口22より母材ガスであるシラン(SiH₄)を均一に、排気口26の方向へ層流させた。その後、高周波発生装置27により、両電極間に高周波電界を印加して両電極間に混合ガスのプラズマを作成してP型水素化アモルファスシリコンを基板上に成長させた。このようにして得られたP型水素化アモルファスシリコン薄膜の導電率及び活性化エネルギーを測定した結果を第4図に示す。第4図から明らかのように、基板上の母材ガスの流れ方向に沿って、均一な導電率が得られていることがわかる。又、活性化エネルギーについても、同様に均一になっていることがわかる。このことから基板上母材ガスの流れ方向に沿って、均一にドーパされたP型の水素化アモルファスシリコンが得られたことがわかる。これを従来の方法で製造した第3図と比べれば明らかに顕著な効果を有し

ていることがわかる。

次に上記の一具体例を示す。母材ガスとしてSiH₄とCH₄をSiH₄:CH₄=1.0:0.2~1.0(特に好ましくはSiH₄:CH₄=1:0.3~0.5)の範囲で混合して作成するa-SiC:Hに対するB₂H₆のドーパ率が0.1%以下(特に好ましくは0.01~0.05%)のライトリードープの場合、従来の製造方法では均一なドーパが不可能であったものが、本発明による方法によって均一にライトリードープを実現することができた。特性の分布改善は先の例と同程度であった。

ここで、前記「特に好ましくは」とはP型a-SiC:Hを太陽電池光センサーのP型層として利用する場合をいう。

4. 図面の簡単な説明

第1図は、アモルファス半導体の従来の製造方法を示す図である。第2図は本発明にかかるアモルファス半導体の製造方法の1具体的な実施例を示す製造方法及びその装置を示したものである。

第3図は、従来方法によって製造したアモルファス半導体の導電率並びに活性化エネルギーを基板の長手方向を変数としてその特性を調べた特性図である。第4図は、本発明の製造方法の1具体的な実施例によって製造されたP型水素化アモルファスシリコンの導電率ならびに活性化エネルギーを同様に基板長手方向を変数として測定した特性図である。

21…ドーバントガス導入管

22…母材ガス流入口

23…上部電極

24…下部電極

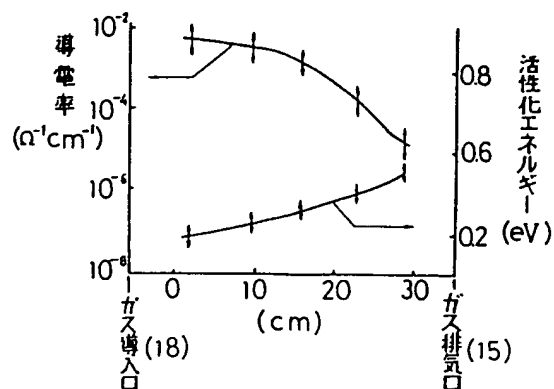
特許出願人 日本電装株式会社

代理人 弁理士 大川 宏

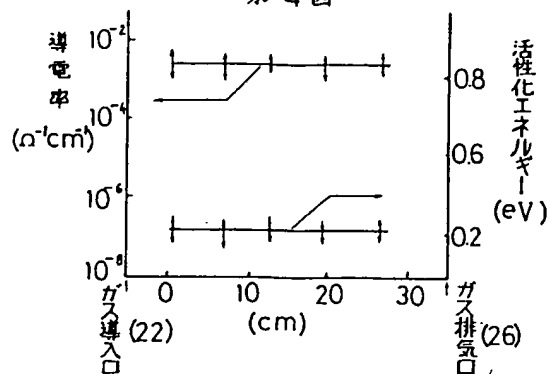
同 弁理士 藤谷 修

同 弁理士 丸山 明夫

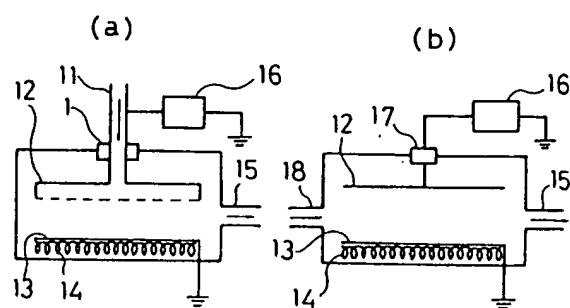
第 3 図



第 4 図



第 1 図



第 2 図

